

遅延回路を使用した、中性子2次元検出器読み出し回路の開発

○佐藤節夫^{#,A)}

^{A)}高エネルギー加速器研究機構 物質構造科学研究所

概要

茨城県東海村の日本原子力研究所内に中性子実験施設を持つ、東京大学・物性研究所（物性研）が、遅延回路を使用した中性子2次元検出器を作製して、その読み出し回路の開発を担当した。検出器はまだ作製段階なので、遅延回路を模擬したテスト回路と読み出し回路の開発を行った。読み出し回路は時間・デジタル変換器（TDC）で、最低でも2 nsの時間分解能で、500 ns間を検出できる必要がある。

開発した読み出し回路は、62.5 psの時間分解能のTDCを4チャンネル持ち、お互いのチャンネル間の時間差を測定できる。テスト回路は実機に合わせて、2 ns遅延素子をX軸に119個、Y軸に84個つなげている。それぞれに16点と11点で電荷を供給できる端子を付け、2 pC以上の電荷で2次元画像が得られることが確認できた。これらについて報告したい。

1. 遅延回路を使用した中性子2次元検出器の背景・原理

遅延回路を使用した中性子2次元検出器は、韓国の原子力研究所のHANAROで開発[1]し、物性研が購入し、組み立て中である。図1に検出器の原理図を示す。

³Heガスを充てんした容器に高電圧勾配をかけている。中性子と³Heガスが反応すると764 keVのエネルギーが発生し、周りのガスをイオン化し、高電圧勾配でガス増幅された電荷が2次元に配置されたワイヤーに吸収される。この電荷はコンデンサで電圧に変換され、X軸とY軸で独立に、遅延回路を回って両端に伝達する。この時間差が位置を表す。検出器の全遅延時間は、X軸で240 ns、Y軸で170 nsである。

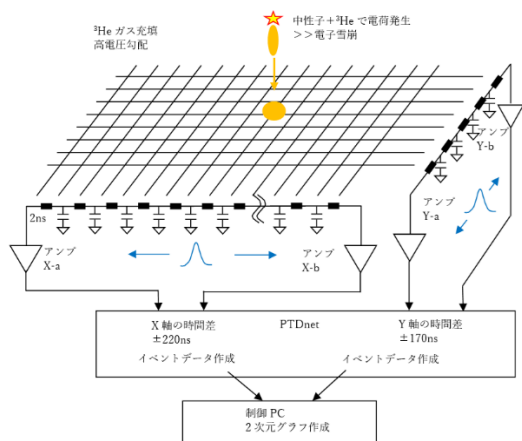


図1. 遅延回路を使用した中性子2次元検出器の原理図

図2に、実際の検出器の様子を示す。(a)が通常のマルチワイヤー検出器で、図1に相当するが、このままでは曲げられないので、(b)か(c)の構造を取る。(b)はカソードパッドを複雑に加工しなくてはならない。(c)は、(a)と(b)の長所を採用している。(d)は湾曲検出器の作製の様子を、(e)は実際の使用例を示す。

setsuo.satoh@kek.jp

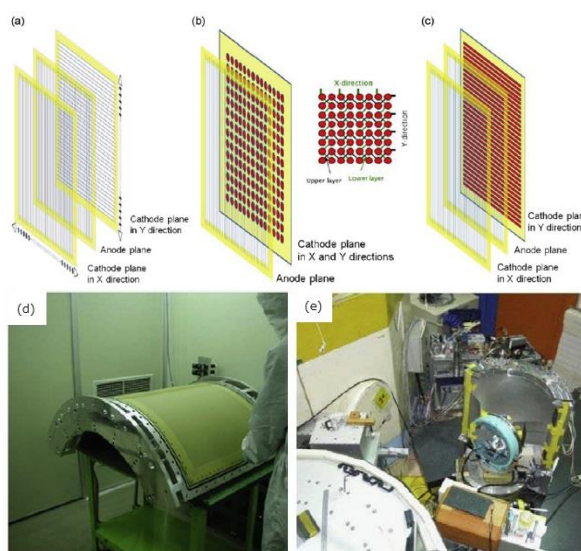


図2. (a) 通常のマルチワイヤー検出器、(b) カソードを2次元型に変更、(c) (a)と(b)の長所を採用、(d) 湾曲検出器の作製、(e) 使用例

2. 疑似2次元検出器回路

遅延回路を使用した中性子2次元検出器はまだできていないので、各定数を合わせたテスト回路(P2d_tester)を作製した。P2d_testerは、X軸とY軸の遅延回路と制御用のフィールド・プログラマブル・ゲートアレイ（FPGA）で構成される。遅延素子は、実機と同じ100 nHのコイルと39 pFのコンデンサで構成され、X軸用に119回路を、Y軸用に84回路を持つ。1遅延素子で2 ns程度遅れるので、両端での時間差はX軸で±238 ns、Y軸で±168 nsとなる。

図3に、遅延回路を使用した中性子2次元検出器を模擬したP2D_testerの外観(上)とブロック図(下)を示す。中心にFPGAを置き、上側にX軸の遅延回路を、下側にY軸の遅延回路を構成した。X軸に16点の、Y軸に11点の電荷供給端子があり、X軸とY軸で1点ずつ選び、同時に電荷を供給する。電荷は、矩形波を1 pFのコンデンサを通して供給する。矩形波の波高値を変えることで、電荷量が変わる。

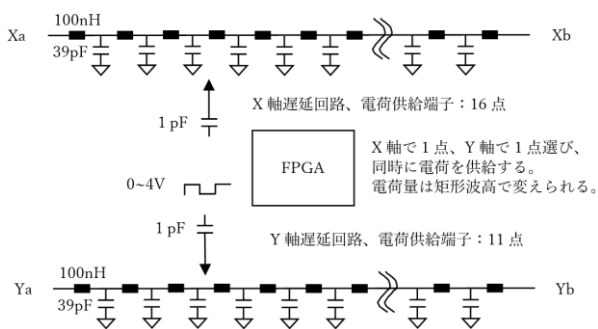
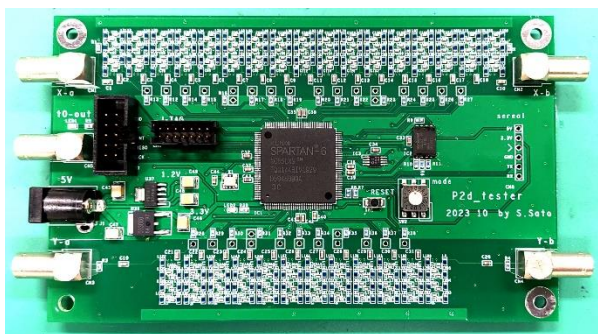


図3. 遅延回路を使用した中性子2次元検出器を模擬したP2d_testerの外観(上)とブロック図(下)

図4に、X軸の遅延回路の途中で電荷を注入し、両端で観測した波形を示す。両端と中央に3pCの電荷をパルス状に注入した時の両端(50Ω終端)での電圧である。①に電荷を注入した場合、時間差が+220nsであった。②に電荷を注入した場合は-20nsで、③に電荷を注入した場合は-220nsであった。P2d_testerの遅延回路の動作確認ができた。

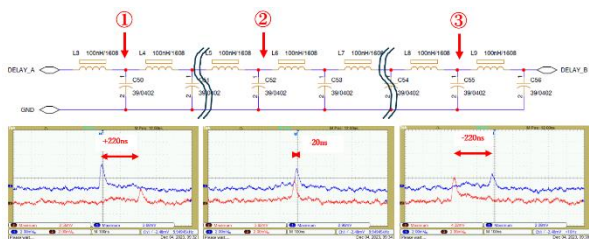


図4. 遅延回路の両端で観測されたパルス波形、①③：両端、②：中央に電荷を注入

3. 遅延時間の読み出し回路

読み出し回路は、アンプとディスクリミネータで構成されるPTD-AMP基板と、4チャンネルのTDCを持つPTDnet基板で構成される。コネクタ接続とし、PTD-AMPを簡単に取り換えられる。

図5に外観図と構成図を示す。PTD-AMPは、信号を増幅し、ディスクリミネータでデジタル化する。PTDnetは、4信号とT0信号からの時間差を62.5psの単位で測り、イベントとして出力する。今回の利用では、測定する時間単位を32まよりの2nsとし、遅延素子と合わせる。

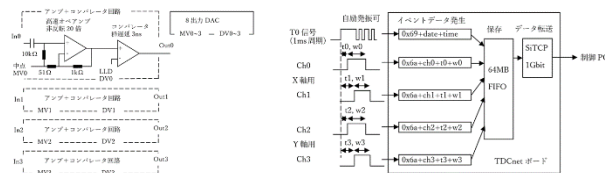
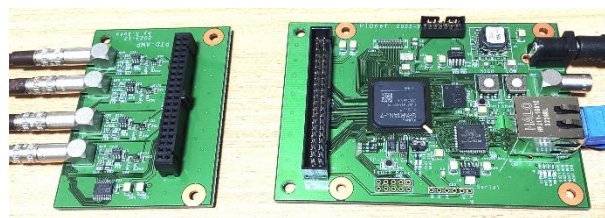


図5. PTD-AMP(左)とPTDnet(右)、上：外観図、下：ブロック図

3.1 基になった、多入力TDCの仕様

遅延時間読み出し回路開発のために、今までに開発してきている多入力のTDCの技術[2]を応用した。PET開発実験用で、PETnetと命名した。PETnetは、125psで144入力持つPETnet-30, 48と、62.5psで128入力持つPETnet200の2種類がある。T0信号を仲立ちとして、多信号間の時間差が得られる。T0信号を複数のPETnetに配信することで、基板を超えた信号間の時間差が得られる。

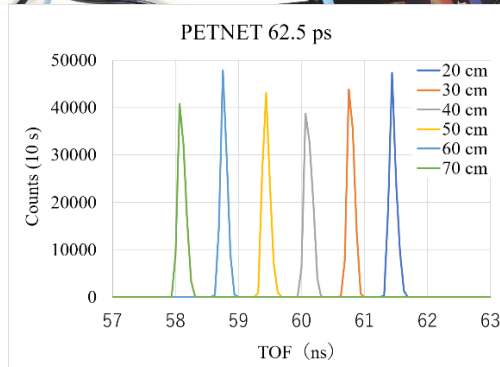
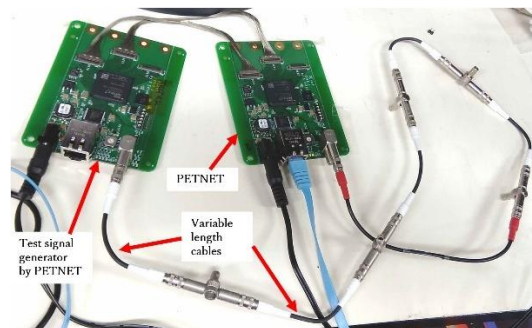


図6. PETnetの測定例、上：1台をテスト回路に変更し、T0信号と高精度の時間遅れ信号を供給、下：10cmの同軸ケーブルを増やすごとに0.7ns移動

図6に測定例を示す。上の図は構成例で、2台のPETnetを使用し、1台は通常のPETnetに、もう1台をテスト基板にプログラムした。信号ケーブルと

T0 信号ケーブルをお互いにつなぎ、テスト基板は T0 信号と、40 ns 後に 20 ns 幅のパルスを供給する。測定状態で T0 信号用の同軸ケーブルの長さを 10 cm ずつ長くしていった。T0 信号からパルス立下り時の測定をするので、60 ns 近辺にデータが来る。ケーブル長を変えると、長さの違いの時間差が観測される。10 cm で 0.7 ns 程度の時間差が観測された。

図 7 に PTDnet が出力するイベントデータを示す。T0 信号に同期した時刻イベントと、パルスを検出した時のデータイベントの 2 種類がある。各信号の T0 信号との時間差 (TOF: Time of Flight) の差で各信号間の時間差が求められる。

0x69	S(31:0)	SS(9:0)	R(13:0)
(a) Identification event, S(31:0)=seconds, SS(9:0)=milli-seconds, R(13:0)=reserved.			
0x6a	TOF(23:0)	PW(19:0)	DET(11:0)
(b) Data event, TOF(23:0)=TOF with 1 ns, 125 ps, or 62.5 ps accuracy, PW(19:0)=pulse width with 1 ns, 125 ps, or 62.5 ps accuracy, DET(11:0)=input channel number ((11:8)=module, (7:0)=input channel).			

図 7. PETnet が発生するイベント

4. 遅延時間の読み出し回路

4.1 疑似 2 次元検出器の信号測定

疑似 2 次元検出器の P2D_tester の信号を入力し、PTDnet が思惑通りに動作するか、テストを行った。構成を図 8 に示す。P2D_tester の信号の出力パターンはタッチパネルで設定した。

P2D_tester は、X 軸の 16 点内の 1 点に、Y 軸の 11 点内の 1 点に、同時に電荷を供給する。1 pF のコンデンサを通して供給するので、矩形波の波高値を変えることで電荷量が変わる。2 V の波高で 2 pC、1V の波高で 1 pC の電荷量となる。電荷量を固定し、X 軸の 16 点と Y 軸の 11 点の組み合わせを順次変えていくと、その電荷量での 16 ドット×11 ドットの 2 次元データが得られる。



図 8. P2D_tester (左上) と PTD-AMP+PTDnet (右)

4.2 PTDnet の制御プログラム

制御 PC は、PTDnet の出力するイベントデータを解析して、2 次元図を構築する。解析プログラムは LabVIEW で作成し、使いやすさと作りやすさを向上させた。2 次元図構築等の処理は C 言語のサブルーチンで作成し、高速動作させている。

検出器の各軸の両端での時間差が、X 軸で±238 ns、Y 軸で±168 ns であるので、両軸で信号が 500 ns 程度以内に検知されたら、中性子データとして 2 次元

データに蓄積する。遅延素子の遅延時間が 2 ns であるので、2 ns 単位の 256ch×256ch の 2 次元データとした。

図 9 に解析プログラムの画像を示す。上のグラフが X 軸の積算図で、下のグラフが 2 次元図である。左下には、時刻イベントから抽出した時刻情報が表示される。測定スター時の時刻と、最新の検出時刻が刻々変化して表示される。

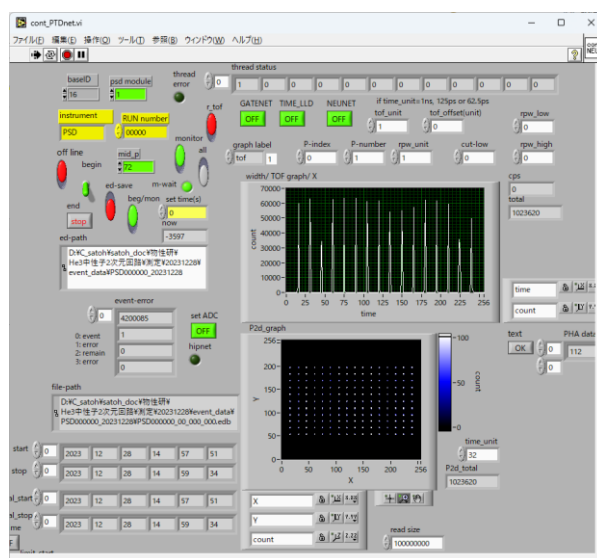


図 9. 解析プログラムの画像

4.3 遅延回路の終端抵抗の影響

図 10 に P2D_tester の 2 次元データを示す。遅延回路の特性インピーダンスが 50 Ω であるので、左のように 50 Ω 終端すると、2 次元画像が正常に得られない。中心付近に比べて、端に近づくほどカウント数が少なくなった。信号の減衰により、数え落とすと思われる。右のように終端をなくすと、きれいな 2 次元画像が得られた。

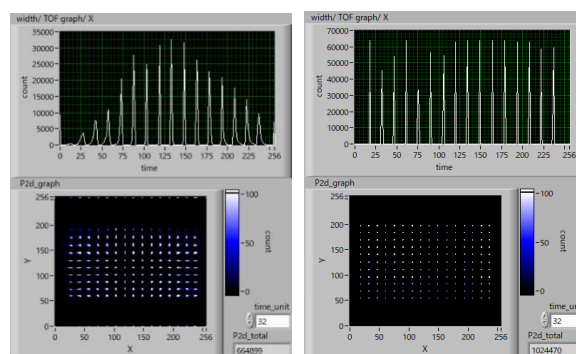


図 10. 遅延回路の両端に 50 Ω 終端 (左) と終端なし (右) の場合の 2 次元データ

図 11 に、終端抵抗がある場合とない場合のオシロスコープの波形を示す。遅延回路の途中に電荷を注入し、両端で観測した波形で、上が遅延回路の両端に 50 Ω 終端した場合と、下が終端なしの場合である。50 Ω 終端しないと信号の大きさが 2 倍になる。初めに

到達する遅延時間は変わらないので、終端なしが有利であることがわかった。終端なしで反射が起こるが、デッドタイム処理で無視される。

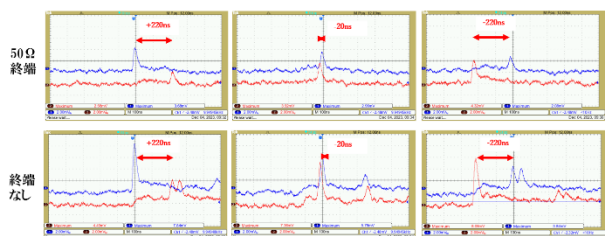


図 11. 遅延回路の両端に 50Ω 終端（上）と終端なし（下）の場合に観測されたパルス波形

4.4 測定可能な最低電荷量の測定

図 12 に入力電荷量を下げた場合の 2 次元データを示す。正常に測定できる最低電荷量は 2 pC であることがわかった。1 pC では、Y 軸の中心付近だけがカウントされ、全体では 10%程度に低下した。

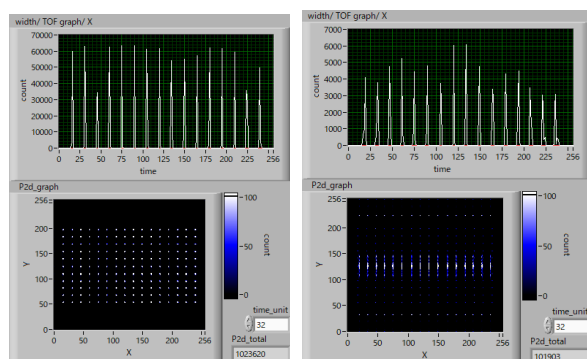


図 12. テスト回路で 2 pc 注入（左）と 1 pc 注入（右）の場合の 2 次元データ

5. まとめ

遅延回路を使用した中性子 2 次元検出器用の読み出し回路の開発を担当した。検出器はまだ完成していないので、電氣的に同等なテスト回路を作製した。

今までに開発してきている、多入力 TDC の技術を応用して、読み出し回路を開発した。テスト回路と読み出し回路から、2 次元画像が得られることが確認できた。遅延回路には、終端抵抗を使用しない方が良好な特性が得られることがわかった。また、測定可能な最低電荷量は 2 pC であることがわかった。

遅延回路の応用は他にもあるはずなので、見つけて本技術を活用していきたい。

参考文献

- [1] <http://dx.doi.org/10.1016/j.nima.2013.03.044>
- [2] DOI 10.1109/TNS.2021.3084144