

FPGA ボードで作る多出力ランダムパルスジェネレータ

木村和典^{#A)}

^{A)}自然科学研究機構分子科学研究所 技術推進部

概要

荷電子検出器から送られてくる高速ロジック信号のパターンを判別し電子2つとイオン1つの検出イベントを抽出するための同時計測回路を、研究者からの依頼を受けて製作した。納品にあたって動作検証が必要となったが、検出器からの信号数が多いことに加えて各信号の発生タイミングに複雑な制約があり、装置開発室で保有していた市販のパルスジェネレータなどで再現することは困難であった。そこで、検出器からの信号を模倣する多出力ランダムパルスジェネレータを、市販されている FPGA 開発ボードを用いて製作し、短期間のうちに動作検証を済ませて納品に至った。本報告ではこのパルスジェネレータの開発について紹介する。

1. はじめに

1.1 背景

筆者が所属する分子科学研究所装置開発室では、依頼を受けて多様な実験装置を製作している。所内からの依頼を主としているものの、各種制度を利用した所外からの依頼も受け付けている。今回開発したパルスジェネレータは、東京工業大学 山崎優一准教授より依頼を受けて製作した「原子・分子クラスターの電子軌道可視化法のための多重同時計測回路」(以下「多重同時計測回路」と呼ぶ)[1]の動作検証のために用いたものである。

多重同時計測回路の3D CAD 図面を図1に示す。

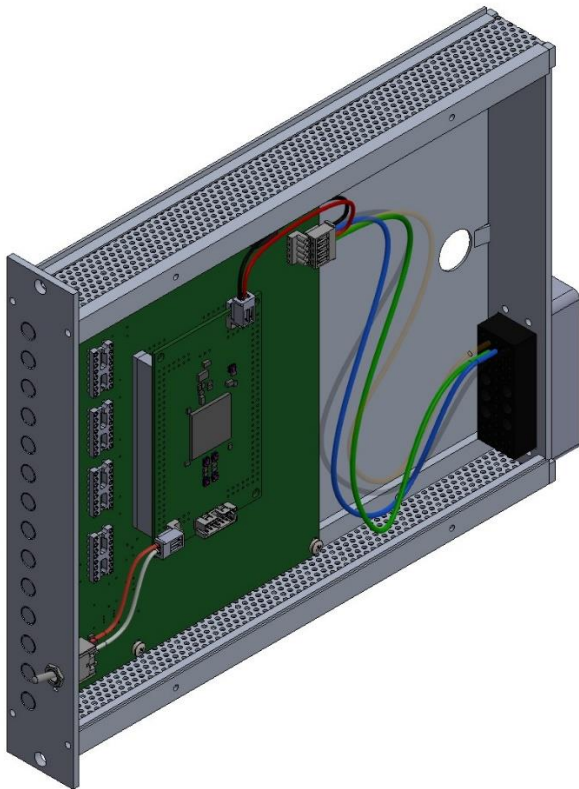


図1. 多重同時計測回路 装置外観

本回路は、電子2つとイオン1つが生じた三重同時計測現象の有無を判断するための実験系の一部であり、検出器からの電子検出信号の処理を担当する。信号処理のため合計13本のロジック信号入力を受け、内蔵した CPLD (Complex Programmable Logic Device) でパルス幅伸張や論理演算などを行った結果を出力する。入出力ロジックはいずれも NIM (Nuclear Instruments Module) 信号である。CPLD で扱える信号は TTL 信号のみであったため、NIM-TTL 間のレベル変換を行うフロントエンドと CPLD により演算処理を行うバックエンドに分かれている。回路は NIM モジュール1幅の筐体に収めた。なお、本回路は筆者の着任以前に装置開発室で製作された品[2]のリメイク・改良版にあたる。

1.2 入力信号仕様

多重同時計測回路への入力信号は大きく以下の3種類に分類される。

- マイクロチャンネルプレート(MCP)から得られる検出信号(幅 450 ns。以下「eMCP 信号」と呼ぶ)
- ディレイラインアノード(DLA)から得られる検出信号(幅 10 ns。以下「e2 信号」と呼ぶ)
- e2 信号をパルス幅分だけ遅延させ、伸張処理を通した信号(幅 400 ns。以下「e3」と呼ぶ)

DLA からの信号は6系統あり、それぞれの e2・e3 信号で入力信号のうち12本を占める。残りの1信号が eMCP である。これらの発生タイミングは、依頼者からの要望により以下の制約を満たす必要がある。

- eMCP の立ち上がりから各系統の e2 の最初のパルスの立ち上がりまでの間隔は 0~400 ns
- 各系統の e2 の立ち上がりについて、最も早く発生する系統から最も遅く発生する系統までの間隔は 0~400 ns
- 各系統の e2 に現れるダブルパルスの発生間隔は 0~400 ns、ただし発生しない場合もある

これら入力信号の想定されるタイミングチャートを図2に示す。e2 が最も早く発生する系統、最も遅く発生する系統についてのみを記載しているほか、扱う信号は NIM であるため負論理である。また図中の数値の単位はナノ秒である。

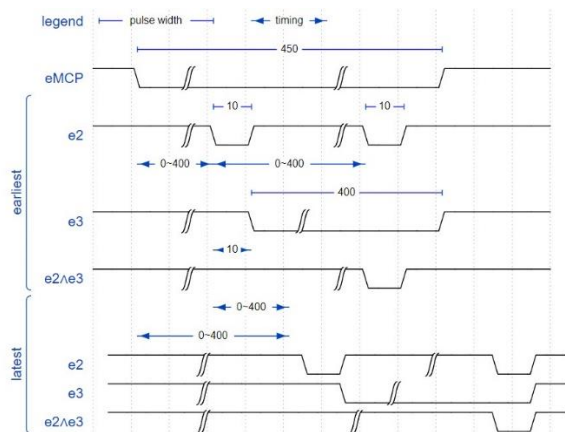


図 2. 入力信号波形の想定タイミングチャート

信号 e2 と e3 の論理積をとることで、その系統について一定時間以内に電子 2 つが発生したことを検出する。実際には各系統の演算結果に対してパルス幅伸張を行い、さらにいくつかの論理演算を経て目的とする三重同時計測現象を検出する。

1.3 動作確認にあたっての課題

納品にあたっては動作確認を行うが、この時点で確認できていた事項は①フロントエンドでのレベル変換が、指定されたパルス幅・周波数の入力信号に対して問題なく動作すること②CPLD での論理演算およびパルス幅伸張処理が、出力が High / Low になることが想定されるいくつかの入力パターンについてシミュレーション上で正常に動作すること③eMCP 信号をバイパスして出力する挙動において、フロントエンド回路と CPLD を組み合わせて正常に動作すること、であった。

ノイズのある環境で論理演算が正しく動作するか、また意図しない挙動がないかを確認するため、可能であれば実際に信号を入力して論理回路が正常に動作することを確認することが望ましい。しかしながら先述のようなタイミング・出力信号数を一台で網羅できるようなパルスジェネレータは当然ながら市販されておらず、また発生タイミングに制約があるため複数台を用いて実現する場合には同期をとる必要がある。これは不可能ではないものの装置開発室で所有していた機器では実現が難しく、また出力信号数も不足していた。希望納期も迫っている状況であり、多重同時計測回路の動作を検証するためのパルスパターンを市販機器を用いて生成することは容易でないと考えられた。

この対応を検討していたところちょうど装置開発室での使用実績[3]がある市販 FPGA モジュールの予備を発見したため、これを用いてこのパルスジェネレータを製作することにした。

2. パルスジェネレータの実装

2.1 使用モジュール

今回は Digilent 社製の Cmod A7-T35 を使用した。AMD Xilinx 社の Artix 7 FPGA を搭載しており、USB-

JTAG を用いてプログラムを書き込むことができる。48 ピン DIP パッケージに収められており、今回の用途には必要十分な数の入出力ピン(デジタル GPIO ピン 44 本、アナログ入力ピン 2 本、電源 5 V と GND)を有する。

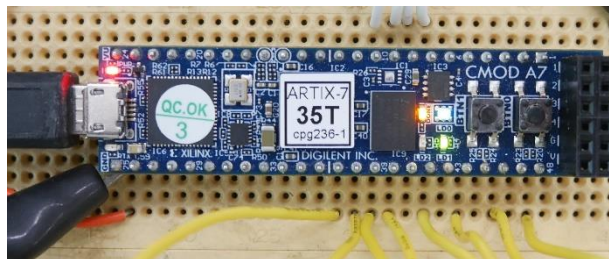


図 3. 使用した FPGA モジュール Cmod A7-T35

2.2 クロックの設定

マイコン、CLPD、FPGA 等デジタル回路からの信号出力をそのまま用いるパルスジェネレータでは、多くの場合はカウンタを用いて所定時間のパルスを生成する。このときパルス幅などの分解能はシステムクロックの周波数に依存する。今回は 10 ns のパルスを生成する必要があるが、このとき必要となるクロック周波数は最低でも 100 MHz である。

一方で Cmod A7-T35 に搭載されている水晶発振器の周波数は 12 MHz であり、要求を満たさない。このような場合、Phase Locked Loop (PLL)を用いることで高速なクロック信号を生成する。過去の使用例では Xilinx が提供する FPGA 開発ツール Vivado に搭載された PLL モジュールを FPGA 内に実装することでシステムクロック 200 MHz (分解能 5 ns)を達成していたが、実験もかねて 400 MHz のクロックを生成することにした。12 MHz から生成できるクロックの上限が 200 MHz であったため、まず 100 MHz を生成し、これを PLL に通すことで 400 MHz を生成している。

2.3 マルチバイブレータの実装

適当なクロックが得られたところで、このクロックを受けて動作するカウンタ、およびカウンタの値に応じて出力を変化させるマルチバイブレータを実装する。これにより所定の幅のパルスを任意のタイミングで発生させることができるようになる。さらにこれを拡張し、任意でダブルパルスを発生させることができるようにした。またこれらはモジュールとして設計されており、必要なだけインスタンスを生成することで容易に複数チャンネルの出力を得ることができる。

2.4 乱数発生器の実装

依頼者要望の通り、多重同時計測回路に入力される信号の発生タイミングは一定の制約はあるもののほぼ完全にランダムである。したがってその信号を模倣するのであれば同様にランダムな発生タイミングでパルスを生成することが望ましい。一方で乱数の精度や性能についてはさほど重要ではない。こ

のような用途においては十分に長い数列を疑似乱数として用いることが多い。今回は線形帰還シフトレジスタ (Linear Feedback Shift Resistor, LFSR) [4]を用いた疑似乱数発生器を、ビット幅 32 bit、8 bit、4 bit について実装することで各種パラメータに対応させた。

以上を組み合わせることで、e2 信号、e3 信号、eMCP 信号を模倣した信号が生成できる。今回は通信機能を実装する時間的猶予がなかったため、FPGA モジュールに搭載されたボタンが押されるごとにパルスの発生タイミング、ダブルパルスが生成されるか否かをすべてランダムに設定することとした。

3. 動作試験

観測された入出力波形の一例を図4に示す。

多重同時計測回路の入出力コネクタは Lemo であったが、必要数をそろえられなかったため FPGA モジュールをブレッドボードに実装してジャンプワイ

ヤをつなぐことで代用した。なお FPGA モジュールからの信号は Kaizuworks 社製の KN201 を用いて NIM レベルに変換している。

実装したランダムパルスジェネレータを用いて適当なパルスを生成し、出力が High となったタイミングでその入力パターンを観測した。今回の例では系統 x、xx、y、yy にそれぞれダブルパルスが発生しており、内部信号 u および v が high になったことで出力信号が high となっている。これは依頼者から提供されたパルスパターンに含まれる合格パターンであり、本入力パターンについては正常な動作が確認されたことになる。

このような形で適当なパルスパターンを生成しては確認する作業を、依頼者から提供されたパターンを網羅する形で行った。またこの結果を取りまとめた上で依頼者に報告し、了承を得られたため多重同時計測回路について納品とした。

4. 総括

本報告では、依頼者からの要望を満たす機器を開発した後の検証用装置の開発について報告した。振り返れば類似した市販装置なども用意できた可能性はあるが、期日の都合で難しい場合に必要に応じて自作できるだけの技能を持つておくことの重要性を改めて痛感する事例であった。

5. 謝辞

東京工業大学の山崎優一氏、長谷川達士氏、黒子茜氏には依頼にあたってパルスパターンを策定いただき、この仕様や検証結果に関してたびたびご意見を頂きました。多重同時計測回路本体の開発のあたりは装置開発室の松尾純一氏、豊田朋範氏、吉田久史氏(当時)と協力して行いました。ここに心より謝意を表します。

参考文献

- [1] 山崎優一、長谷川達士、黒子茜、“原子・分子クラスターの電子軌道可視化法のための多重同時計測回路の開発”、分子科学研究所 Annual Report 2021 利用者報告、2022年3月、P14-15.
- [2] 山崎優一、高橋正彦、“電子線コンプトン散乱の時間分解反応顕微鏡のための多重同時計測回路の開発”、分子研装置開発室 Annual Report 2010 施設利用報告、2011年2月、P7
- [3] 豊田朋範、ほか、“FPGA と ARM マイコンを用いたディレイゲートパルサーの開発”、令和元年度(第25回)静岡大学技術部 技術報告会
- [4] Peter Alfke, ”Efficient Shift Registers, LFSR Counters, and Long Pseudo-Random Sequence Generators ”、XILINX Application Note XAPP052 Version 1.1、1996年7月、P5

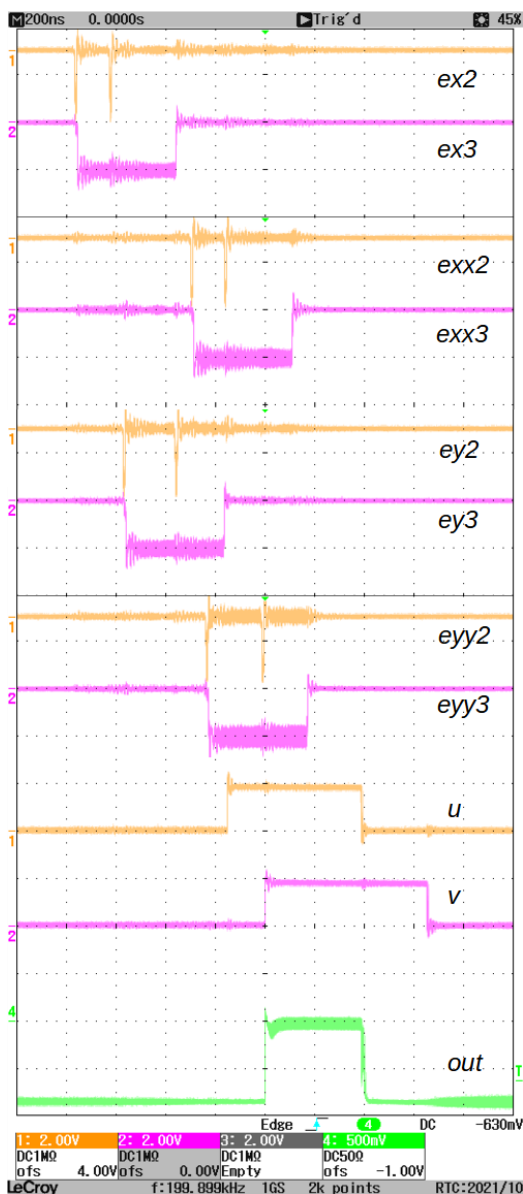


図4. 観測された入出力波形の例